

PATENT  
24500-000007/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Noriyuki TANAKA and Toshiya AOKI      Conf: Unknown  
Application No.: New Application      Group: Unknown  
Filed: September 24, 2003      Examiner: Unknown  
For: DATA BUS WIDTH CONVERSION APPARATUS AND DATA  
PROCESSING APPARATUS

**PRIORITY LETTER**

September 24, 2003

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

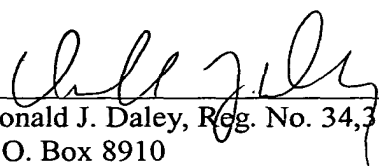
<b><u>Application No.</u></b>	<b><u>Date Filed</u></b>	<b><u>Country</u></b>
2003-183631	06/26/03	JAPAN
2002-278208	9/24/02	JAPAN

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By

  
Donald J. Daley, Reg. No. 34,313  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

DJD:mh

(Translation)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : June 26, 2003

Application Number : Patent Appln. No. 2003-183631

Applicant(s) : SHARP KABUSHIKI KAISHA

Wafer  
of the  
Patent  
Office

August 28, 2003

Yasuo IMAI

Commissioner,  
Patent Office

Seal of  
Commissioner  
of  
the Patent  
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3070356



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   6 月 2 6 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 8 3 6 3 1  
Application Number:

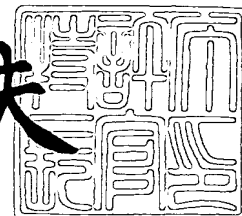
[ST. 10/C] :            [ J P 2 0 0 3 - 1 8 3 6 3 1 ]

出      願      人            シャープ株式会社  
Applicant(s):

2 0 0 3 年   8 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 7 0 3 5 6



【書類名】 特許願

【整理番号】 03J01338

【提出日】 平成15年 6月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/00

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 田中 紀行

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 青木 俊也

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100078282

    【弁理士】

    【氏名又は名称】 山本 秀策

【選任した代理人】

    【識別番号】 100062409

    【弁理士】

    【氏名又は名称】 安村 高明

【選任した代理人】

    【識別番号】 100107489

    【弁理士】

    【氏名又は名称】 大塩 竹志



【先の出願に基づく優先権主張】

【出願番号】 特願2002-278208

【出願日】 平成14年 9月24日

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データバス幅変換装置およびデータ処理装置

【特許請求の範囲】

【請求項1】 第1のバス幅を有し、N（Nは正数）ビットデータを複数のビットデータグループに分割して伝送する第1のデバイスから前記複数のビットデータグループを受け取って、第2のバス幅を有する第2のデバイスへ前記Nビットデータを出力するデータバス幅変換装置であって、

前記第1のデバイスが前記複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、前記Nビットデータを前記複数のビットデータグループそれぞれへ分配するための前記Nビットデータの分割パターンを設定する設定部と、

前記総伝送回数と前記分割パターンとに基づいて、前記複数のビットデータグループそれぞれが示すデータを取得する取得部と、

前記取得した複数のビットグループそれぞれが示すデータから前記Nビットデータを生成し、前記生成したNビットデータを前記第2のデバイスへ出力する出力部と

を備える、データバス幅変換装置。

【請求項2】 前記第1のデバイスは、前記設定部が設定した前記総伝送回数および前記分割パターンに基づいて、前記Nビットデータを前記複数のビットデータグループに分割する、請求項1に記載のデータバス幅変換装置。

【請求項3】 前記設定部は、前記第1のデバイスからの命令に基づいて、前記総伝送回数および前記分割パターンを設定する、請求項1に記載のデータバス幅変換装置。

【請求項4】 前記設定部は、前記第1のバス幅のサイズに基づいて、前記総伝送回数および前記分割パターンを設定する、請求項1に記載のデータバス幅変換装置。

【請求項5】 前記複数のビットデータグループのそれぞれは、前記総伝送回数のうちの対応する伝送回数における前記第1のデバイスの伝送動作によって伝送され、

前記取得部は、前記総伝送回数のうちの現在の伝送回数をカウントするカウンタ部と

前記カウントされた現在の伝送回数と、前記複数のビットデータグループのそれぞれに対応する伝送回数とを比較する比較部と、

前記比較した結果に基づいて前記複数のビットデータグループをサンプリングするサンプリング部と

を備える、請求項 1 に記載のデータバス幅変換装置。

【請求項 6】 前記カウンタ部は、前記現在の伝送回数が前記総伝送回数に達した後にカウント数を前記総伝送回数のうちの初期値に設定する、請求項 5 に記載のデータバス幅変換装置。

【請求項 7】 前記設定部は、前記総伝送回数を設定する第 1 のレジスタと、前記分割パターンを設定する第 2 のレジスタとを備える、請求項 1 に記載のバス幅変換回路。

【請求項 8】 前記第 1 のデバイスから前記第 2 のデバイスへのデータ書き込みアクセス時に、前記第 2 のデバイスへ前記 N ビットデータを出力する、請求項 1 に記載のデータバス幅変換装置。

【請求項 9】 前記第 1 のデバイスと前記第 2 のデバイスとの間の双方向のデータ伝送アクセス時に、前記第 2 のデバイスへ前記 N ビットデータを出力する、請求項 1 に記載のデータバス幅変換装置。

【請求項 10】 第 2 のバス幅を有する第 2 のデバイスから出力された N（N は正数）ビットデータを複数のビットデータグループに分割して、第 1 のバス幅を有する第 1 のデバイスへ伝送するデータバス幅変換装置であって、

前記第 1 のデバイスへ前記複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、前記 N ビットデータを前記複数のビットデータグループそれぞれへ分配するための前記 N ビットデータの分割パターンを設定する設定部と、

前記総伝送回数と前記分割パターンとに基づいて、前記 N ビットデータを前記複数のビットデータグループに分割して出力する分割部と

を備える、データバス幅変換装置。

【請求項 1 1】 前記第 2 のデバイスから前記第 1 のデバイスへのデータ読み出しアクセス時に、前記第 1 のデバイスへ前記複数のビットデータグループを出力する、請求項 1 0 に記載のデータバス幅変換装置。

【請求項 1 2】 前記第 1 のデバイスと前記第 2 のデバイスとの間の双方向のデータ伝送アクセス時に、前記第 1 のデバイスへ前記複数のビットデータグループを出力する、請求項 1 0 に記載のデータバス幅変換装置。

【請求項 1 3】 第 1 のバス幅を有し、N（Nは正数）ビットデータを複数のビットデータグループに分割して伝送する第 1 のデバイスから前記複数のビットデータグループを受け取り、前記Nビットデータを出力するデータバス幅変換装置と、

前記データバス幅変換装置から出力された前記Nビットデータを受け取る第 2 のバス幅を有する第 2 のデバイスと

を備えたデータ処理装置であって、

前記データバス幅変換装置は、

前記第 1 のデバイスが前記複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、前記Nビットデータを前記複数のビットデータグループそれぞれへ分配するための前記Nビットデータの分割パターンを設定する設定部と、

前記総伝送回数と前記分割パターンとに基づいて、前記複数のビットデータグループそれぞれが示すデータを取得する取得部と、

前記取得した複数のビットグループそれぞれが示すデータから前記Nビットデータを生成し、前記生成したNビットデータを前記第 2 のデバイスへ出力する出力部と

を備える、データ処理装置。

【請求項 1 4】 前記データ処理装置はディスプレイ装置である、請求項 1 3 に記載のデータ処理装置。

【請求項 1 5】 第 2 のバス幅を有し、N（Nは正数）ビットデータを出力する第 2 のデバイスと、

前記第 2 のデバイスから出力された前記Nビットデータを複数のビットデータ



グループに分割して、第 1 のバス幅を有する第 1 のデバイスへ伝送するデータバス幅変換装置と

を備えたデータ処理装置であって、

前記データバス幅変換装置は、

前記第 1 のデバイスへ前記複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、前記 N ビットデータを前記複数のビットデータグループそれぞれへ分配するための前記 N ビットデータの分割パターンを設定する設定部と、

前記総伝送回数と前記分割パターンとに基づいて、前記 N ビットデータを前記複数のビットデータグループに分割して出力する分割部と

を備える、データ処理装置。

【請求項 1 6】 前記データ処理装置はディスプレイ装置である、請求項 1 5 に記載のデータ処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、多様なバスシステムに用いられるデータバス幅変換装置に関し、特に、データバス幅が互いに異なる CPU（ホストシステム）とその周辺デバイスとの間におけるバスアクセスが可能であるデータバス幅変換装置に関する。

【 0 0 0 2 】

【従来の技術】

M（Mは正数）ビットのデータバス幅を有する CPU が、CPU と異なる N（Nは正数）ビットのデータバス幅を有する LSI（周辺デバイス）にアクセスする場合には、データバス幅のリサイズ（変更）を行うためのデータバス幅変換装置が必要となる。なお、M=N の場合もあり得る。

【 0 0 0 3 】

従来のデータバス幅変換装置の一例として、データバス幅のリサイズを行うためにメモリセルアレイ部を有し、メモリセルアレイ部をキャッシュメモリあるいはローカルメモリとして使用するデータバス幅変換装置が特許文献 1 に開示され

ている。

#### 【0 0 0 4】

また、従来のデータバス幅変換装置の他の例として、データバス幅のリサイズを行うためにMビット幅のデータバスとNビット幅のデータバスとの間にラッチ回路および出力制御回路とを設けたデータバス幅変換装置が特許文献2および特許文献3に開示されている。

#### 【0 0 0 5】

##### 【特許文献1】

特開平4-76890号公報（第579頁、第1図）

##### 【特許文献2】

特開平3-97340号公報（第256—257頁、第1—2図）

##### 【特許文献3】

特開平5-242016号公報（第3頁、第1図）

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

しかしながら、特許文献1、2および3それぞれに開示されている従来のデータバス幅変換装置では、データバス幅をリサイズする際に、NビットのデータをCPUからLSIへ転送するために必要なCPUのアクセス回数、CPUとLSIとの間の結線パターン等がハードウェア的に固定されており、多様なバスシステムにおいて使用することが困難であるという問題を有している。

#### 【0 0 0 7】

例えば、従来のCPU（ホストシステム）のデータバス幅は、過去の慣例により8の倍数のビット数（8ビット、16ビット、32ビット等）に設定されている。ところが、液晶モジュール等の多くの表示装置では、データバス幅が3の倍数のビット数（18ビット、24ビット等）となっていることがある。この理由は、表示装置の表示データがRED（赤）、GREEN（緑）、BLUE（青）の3つの色要素から構成されており、これらの3つの色要素のビット幅を等しくすることによって、データバス幅が3の倍数のビット数になるからである。

#### 【0 0 0 8】

例えば、8ビットのデータバス幅を有するCPUに18ビットのデータバス幅を有する液晶モジュールを接続し、液晶モジュールの有する表示能力を最大限に生かす場合には、CPUから液晶モジュールに18ビットのデータを完全に伝達することが必要である。この場合、CPUのデータバス幅は8ビットであるから、CPUから液晶モジュールにデータを伝達するには、最低でも18ビットのデータを三つに分割する必要がある。18ビットのデータの分割パターンとしては、8-8-2の分割パターン、6-6-6の分割パターン、5-6-7の分割パターン等のいろいろな分割パターンが考えられる。

#### 【0009】

また、上記18ビットのデータの3回の分割回数は、最低限必要な分割回数であり、CPU側の何らかの理由により、分割回数が3回より多くなる場合も考えられる（すなわち、（分割回数） $\geq 3$ ）。

#### 【0010】

従来のデータバス幅変換装置では、上記18ビットのデータの分割パターンおよび分割回数がハードウェア的に固定されてしまっており、このようなCPUインターフェースをLSI化した場合、分割回数および分割パターンはLSIの設計時に固定されてしまう。このため、使用するLSIの選択肢が制限されるとともに、CPU側でもソフト処理等が必要となる。

#### 【0011】

本発明は、このような課題を解決するものであり、その目的は、CPU側（ホストシステム）からLSI（周辺デバイス）側へデータ書き込みアクセスおよびデータ読み出しアクセスを行う場合に、分割回数および分割パターンを任意に設定できるデータバス幅変換装置を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

本発明のデータバス幅変換装置は、第1のバス幅を有しN（Nは正数）ビットデータを複数のビットデータグループに分割して伝送する第1のデバイスから複数のビットデータグループを受け取って、第2のバス幅を有する第2のデバイスへNビットデータを出力するデータバス幅変換装置であって、第1のデバイスが

複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部と、総伝送回数と分割パターンとに基づいて、複数のビットデータグループそれぞれが示すデータを取得する取得部と、取得した複数のビットグループそれぞれが示すデータからNビットデータを生成し、生成したNビットデータを第2のデバイスへ出力する出力部とを備え、そのことにより上記目的が達成される。

**【0013】**

第1のデバイスは、設定部が設定した総伝送回数および分割パターンに基づいて、Nビットデータを複数のビットデータグループに分割してもよい。

**【0014】**

設定部は、第1のデバイスからの命令に基づいて、総伝送回数および分割パターンを設定してもよい。

**【0015】**

設定部は、第1のバス幅のサイズに基づいて、総伝送回数および分割パターンを設定してもよい。

**【0016】**

複数のビットデータグループのそれぞれは、総伝送回数のうちの対応する伝送回数における第1のデバイスの伝送動作によって伝送され、取得部は、総伝送回数のうちの現在の伝送回数をカウントするカウンタ部とカウントされた現在の伝送回数と、複数のビットデータグループのそれぞれに対応する伝送回数とを比較する比較部と、比較した結果に基づいて複数のビットデータグループをサンプリングするサンプリング部とを備えてもよい。

**【0017】**

カウンタ部は、現在の伝送回数が総伝送回数に達した後にカウント数を総伝送回数のうちの初期値に設定してもよい。

**【0018】**

設定部は、総伝送回数を設定する第1のレジスタと、分割パターンを設定する第2のレジスタとを備えてもよい。

**【0019】**

第1のデバイスから第2のデバイスへのデータ書き込みアクセス時に、第2のデバイスへNビットデータを出力してもよい。

**【0020】**

第1のデバイスと第2のデバイスとの間の双方向のデータ伝送アクセス時に、第2のデバイスへNビットデータを出力してもよい。

**【0021】**

本発明のデータバス幅変換装置は、第2のバス幅を有する第2のデバイスから出力されたN（Nは正数）ビットデータを複数のビットデータグループに分割して、第1のバス幅を有する第1のデバイスへ伝送するデータバス幅変換装置であって、第1のデバイスへ複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部と、総伝送回数と分割パターンとに基づいて、Nビットデータを複数のビットデータグループに分割して出力する分割部とを備え、そのことにより上記目的が達成される。

**【0022】**

第2のデバイスから第1のデバイスへのデータ読み出しアクセス時に、第1のデバイスへ複数のビットデータグループを出力してもよい。

**【0023】**

第1のデバイスと第2のデバイスとの間の双方向のデータ伝送アクセス時に、第1のデバイスへ複数のビットデータグループを出力してもよい。

**【0024】**

本発明のデータ処理装置は、第1のバス幅を有しN（Nは正数）ビットデータを複数のビットデータグループに分割して伝送する第1のデバイスから複数のビットデータグループを受け取り、Nビットデータを出力するデータバス幅変換装置と、データバス幅変換装置から出力されたNビットデータを受け取る第2のバス幅を有する第2のデバイスとを備えたデータ処理装置であって、データバス幅変換装置は、第1のデバイスが複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそ

れぞれへ分配するためのNビットデータの分割パターンを設定する設定部と、総伝送回数と分割パターンとに基づいて、複数のビットデータグループそれぞれが示すデータを取得する取得部と、取得した複数のビットグループそれぞれが示すデータからNビットデータを生成し、生成したNビットデータを第2のデバイスへ出力する出力部とを備え、そのことにより上記目的が達成される。

#### 【0025】

データ処理装置はディスプレイ装置であってもよい。

#### 【0026】

本発明のデータ処理装置は、第2のバス幅を有しN（Nは正数）ビットデータを出力する第2のデバイスと、第2のデバイスから出力されたNビットデータを複数のビットデータグループに分割して、第1のバス幅を有する第1のデバイスへ伝送するデータバス幅変換装置とを備えたデータ処理装置であって、データバス幅変換装置は、第1のデバイスへ複数のビットデータグループを伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部と、総伝送回数と分割パターンとに基づいて、Nビットデータを複数のビットデータグループに分割して出力する分割部とを備え、そのことにより上記目的が達成される。

#### 【0027】

データ処理装置はディスプレイ装置であってもよい。

#### 【0028】

上記構成により、以下、その作用を説明する。

#### 【0029】

本発明のデータバス幅変換装置は、CPU（ホストシステム）がN（Nは正数）ビットデータを分割して複数のビットデータグループとして伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部を備える。また、本発明のデータバス幅変換装置は、Nビットデータを分割して複数のビットデータグループとしてCPUへ伝送するときの総伝送回数を設定するとと

もに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部を備える。このことによりCPU側（ホストシステム）からLSI側（周辺デバイス）にデータ書き込みアクセスを行う場合およびLSI側（周辺デバイス）からCPU側（ホストシステム）にデータ読み出しのアクセスを行う場合に、ハードウェア的に固定されることなくデータの分割回数および分割パターンを任意に設定できる。

#### 【0030】

#### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明する。

#### 【0031】

#### （実施の形態1）

図1Aは、本発明の実施形態1におけるデータ処理システム100を示す。

#### 【0032】

データ処理システム100は、CPU10と、LSI11とを備える。LSI11は、データバス幅変換装置120（図2）を備える。

#### 【0033】

CPU10は、パーソナルコンピュータ等のホストシステムに含まれ、LSI11は、液晶モジュール等の表示装置をコントロールする周辺デバイスに含まれる。CPU10は、8ビットのデータバス幅を有する。LSI11は、18ビットのデータバス幅を有する。CPU10とLSI11とは結線部12において接続されている。

#### 【0034】

結線部12において、CPU10のインターフェース部であるデータバス端子D0～D7およびデータ書き込み信号NWR用端子は、LSI11のインターフェース部であるデータバス端子DB0～DB17およびデータ書き込み信号NWR用端子と接続されている。

#### 【0035】

結線部12では、CPU10のデータバス端子D7とLSI11のデータバス端子D17、DB9およびDB1とが接続されており、以下、同様に、CPU1

0 のデータバス端子 D6 と L S I 11 のデータバス端子 DB16、DB8 および DB0 とが接続され、CPU10 のデータバス端子 D5 と L S I 11 のデータバス端子 DB15、DB7 とが接続され、CPU10 のデータバス端子 D4 と L S I 11 のデータバス端子 DB14、DB6 とが接続され、CPU10 のデータバス端子 D3 と L S I 11 のデータバス端子 DB13、DB5 とが接続され、CPU10 のデータバス端子 D2 と L S I 11 のデータバス端子 DB12、DB4 とが接続され、CPU10 のデータバス端子 D1 と L S I 11 のデータバス端子 DB11、DB3 とが接続され、CPU10 のデータバス端子 D0 と L S I 11 のデータバス端子 DB10、DB2 とが接続されている。そして、CPU10 のデータ書き込み信号 NWR 用端子は、L S I 11 のデータ書き込み信号 NWR 用端子と接続されている。

#### 【0036】

ここで、図 1 A に示す 8 ビットのデータバス幅を有する CPU10 のインターフェース部と 18 ビットのデータバス幅を有する L S I 11 のインターフェース部との接続状態では、18 ビットのデータを三つに分割して分割ビットデータグループ毎に伝達する。18 ビットのデータの分割パターンの一例として、端子 DB17 から入力される 17 番目のデータから端子 DB10 から入力される 10 番目のデータまでの 8 ビットデータを一つ目の分割ビットデータグループ、DB9 端子から入力される 9 番目のデータから DB2 端子から入力される 2 番目のデータまでの 8 ビットデータを二つ目の分割ビットデータグループ、DB1 端子から入力される 1 番目のデータから DB0 端子から入力される 0 番目のデータまでの 2 ビットデータを三つ目の分割ビットデータグループとする 8-8-2 の分割パターンがある。

#### 【0037】

図 1 B に、本発明の実施の形態のデータ処理装置の一例としてディスプレイ装置 110 を示す。ディスプレイ装置 110 は例えば液晶ディスプレイ装置である。ディスプレイ装置 110 は、図 1 A に示す L S I 11 と、表示パネル 111 とを備える。この場合、L S I 11 は表示パネル 111 の表示動作を制御する。このように、データバス幅変換装置 120 を備える L S I 11 は、様々なデータ処



理装置に搭載され得る。

#### 【0038】

図2は、図1Aに示すLSI11が備える本発明の実施の形態1におけるデータバス幅変換装置120を示す。データバス幅変換装置120は、CPU10の8ビットのデータバス幅をLSI11の18ビットのデータバスの幅にリサイズ(変更)する。

#### 【0039】

データバス幅変換装置120は、CPU10に接続された18ビット幅のデータバス20から出力されるデータのリサイズを行う制御回路21と、ビット情報を記録するフリップフロップ(FF)22と、制御回路21によってリサイズされた18ビット幅のデータをLSI11内部に出力する出力制御回路23とを備える。LSI内部回路24は、出力制御回路23から出力されるデータを受け取る。フリップフロップ22はラッチ回路であってもよい。

#### 【0040】

図3は、図2に示す制御回路21の詳細を示すブロック図である。

#### 【0041】

図3に示す制御回路21は、レジスタブロック30を備える。レジスタブロック30は、18ビット幅のデータをサンプリングする際のCPU10からLSI11へのデータ書き込みアクセスの全回数(CPU10からLSI11へ複数の分割ビットデータグループを伝送するときの総伝送回数)を任意に設定するレジスタ $\alpha$ と、18ビット幅のデータの各ビットデータが総伝送回数のうち何回目のデータ伝送動作で伝送されるかを設定する(すなわち、18ビット幅のデータの各ビットデータを複数の分割ビットデータグループへ分配するための18ビット幅のデータの分割パターンを設定する)レジスタ $\beta$ とを備える。

#### 【0042】

制御回路21は、レジスタ $\alpha$ とレジスタ $\beta$ とによって設定された総伝送回数と分割パターンとに基づいて、複数のビットデータグループそれぞれが示すデータを取得する取得部35を備える。取得部35は、サンプリング部33と、サンプリング制御信号発生部34とを備える。サンプリング制御信号発生部34は、カ

カウンタ 3 1 と、コンペア部 3 2 とを備える。カウンタ 3 1 は、レジスタ  $\alpha$  が設定した総伝送回数の範囲内で現在の伝送回数をカウントする。コンペア部 3 2 は、カウントされた現在の伝送回数と、複数のビットデータグループのそれぞれに対応する伝送回数とを比較する。コンペア部 3 2 は、対応付けられた伝送回数と現在の伝送回数とが一致したビットデータグループに含まれるデータをサンプリングするためのサンプリング制御信号をサンプリング部 3 3 へ出力する。カウント方法としては、インクリメント／デクリメントのどちらでもよい。

#### 【0 0 4 3】

カウンタ 3 1 は、CPU 1 0 からのデータ書き込み信号 NWR に同期して、伝送回数（データ書き込みストロブの回数）のカウント値を出力する。コンペア部 3 2 には、レジスタ  $\beta$  からのレジスタ値とカウンタ 3 1 からのカウント値とを比較する複数のコンペアが、1 8 ビット幅のデータの各ビット毎に設けられている。レジスタ  $\beta$  からのレジスタ値は、上述の分割パターンを示し、複数のコンペアそれぞれに総伝送回数のうちの何れかの回数を示すレジスタ値が入力される。レジスタ値は対応するビットデータグループ毎に値が異なる。本実施の形態では、コンペア部 3 2 は 1 8 個のコンペアを備える（図 3 は、説明の簡略化のために 1 8 個のコンペアのうちの 3 個のコンペア 3 2 A、3 2 B、3 2 C を示す）。

#### 【0 0 4 4】

サンプリング部 3 3 には、サンプリング制御信号に従って 1 8 ビット幅のデータバス信号 DB [1 7 : 0] を分割ビットデータグループ毎にサンプリングするための複数のサンプリング回路が、1 8 ビット幅のデータの各ビット毎に設けられている。本実施の形態では、サンプリング部 3 3 は、1 8 個のサンプリング回路を備える（図 3 は、説明の簡略化のために 1 8 個のサンプリング回路のうちの 3 個のサンプリング回路 3 3 A、3 3 B、3 3 C を示す）。1 8 個のサンプリング回路のそれぞれには、1 8 個のコンペアのうちの対応するコンペアからサンプリング信号が出力される。1 8 個のサンプリング回路のそれぞれはサンプリング信号に応じて、1 8 ビット幅のデータのうちの対応付けられたビットデータをサンプリングする。

#### 【0 0 4 5】

次に、サンプリング部 33 から各ビットに対応するそれぞれのデータバス信号 DB [17 : 0] がフリップフロップ 22 を介して出力制御回路 23 に出力される。また、カウンタ 31 からは、データ書き込み信号 W が出力制御回路 23 に出力される。出力制御回路 23 は、データ書き込み信号 W に同期して、分割ビットデータグループが示すデータをつなぎ合わせて、連続した 18 ビット幅のデータに変換し、LSI 内部回路 24 に伝送する。

#### 【0046】

ここで、フリップフロップ 22 が有する機能は、サンプリング部 33 に盛り込んでおいても同様な動作をすることは説明するまでもない。

#### 【0047】

次に、図 3 に示す制御回路 21 のレジスタブロック 30 に設けられているレジスタ  $\alpha$  およびレジスタ  $\beta$  の構成例を表 1 に示す。レジスタ  $\alpha$  は、MCB および MCA レジスタである。レジスタ  $\beta$  は、M0B および M0A レジスタ～M17B および M17A レジスタを備える。ここで、表 1 の MWB0～MWB5 は、それぞれ 8 ビットのレジスタブロックを表している。

#### 【0048】

表 1 では、18 ビット幅のデータバス信号それぞれに対応して設けられているレジスタ  $\beta$  と、18 ビット幅のデータの取得に必要な総伝送回数を設定するレジスタ  $\alpha$  とは、それぞれ 2 ビット単位で構成されている。MCB および MCA レジスタは、それぞれ MWB0 の bit 1 および bit 0 に格納されており、M0A および M0B レジスタ～M17A および M17B レジスタは、MWB1 の bit 0 から MWB5 の bit 3 まで、順番に格納されている。また、表 1 内の X は、Don't Care を示し、何の影響も与えないビットである。

#### 【0049】

【表 1】

NAME	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MWB0	X	X	X	X	X	X	MCB	MCA
MWB1	M3B	M3A	M2B	M2A	M1B	M1A	M0B	M0A
MWB2	M7B	M7A	M6B	M6A	M5B	M5A	M4B	M4A
MWB3	M11B	M11A	M10B	M10A	M9B	M9A	M8B	M8A
MWB4	M15B	M15A	M14B	M14A	M13B	M13A	M12B	M12A
MWB5	X	X	X	X	M17B	M17A	M16B	M16A

## 【0 0 5 0】

表 1 の MWB 1 ～ MWB 5 に記載の M \* B および M \* A レジスタの \* 部分には 0 ～ 1 7 の数字が書かれている。この数字は、1 8 本の各データバスの各ビットに対応する設定レジスタ（レジスタ  $\beta$ ）であることを示している。M \* B および M \* A レジスタの設定値は、1 8 本の各データバスに対応するそれぞれのデータバス信号が何回目のデータ書き込みストロープでサンプリングされるかを示している。

## 【0 0 5 1】

表 2 は、1 8 ビット幅のデータバス信号に対応して設けられている M \* B および M \* A レジスタの設定値とサンプリングタイミングを示している。

## 【0 0 5 2】

M \* B および M \* A レジスタの設定値が M \* B = M \* A = 0 であれば、1 回目のデータ書き込みストロープによってサンプリングされ、M \* B = 0 および M \* A = 1 であれば、2 回目のデータ書き込みストロープによってサンプリングされ、M \* B = 1 および M \* A = 0 であれば、3 回目のデータ書き込みストロープによってサンプリングされ、M \* B = 1 および M \* A = 1 であれば、4 回目のデータ書き込みストロープによってサンプリングされることを示している。

## 【0 0 5 3】

また、MWB 0 の b i t 1 および b i t 0 にそれぞれ格納されている MCB および MCA レジスタは、所定の N ビット幅（本実施形態では 1 8 ビット幅）のデータバス信号すべてを 1 回サンプリングする際のデータ書き込みアクセスの全回

数（総伝送回数）を示している。MCBおよびMCAレジスタの設定値およびデータ書き込みアクセスの回数は、M\*BおよびM\*Aレジスタの設定値およびデータ書き込みアクセスの回数と同様に表2に示すルールに従って設定される。

【0054】

【表2】

M*B	M*A	サンプリング
0	0	1
0	1	2
1	0	3
1	1	4

【0055】

MCBおよびMCAレジスタは、LSI内部のホストインターフェースがデータバス上の例えば18ビット幅のデータバス信号をサンプリングする場合、何回のデータ書き込みストロークによって、18ビット幅のデータバス信号すべてをサンプリングするかを指定する。また、18ビット幅のデータバス信号は、M\*BおよびM\*Aレジスタで指定されるデータ書き込みストロークの回数に従って、分割ビットデータグループ毎に順に信号レベルをサンプリングされる。

【0056】

表3には、表2に示したレジスタ $\alpha$ およびレジスタ $\beta$ の設定値（レジスタ値）の一例を示す。ここでは、CPU10の8ビット幅のデータをLSI11の18ビット幅のデータに変換するために、18ビット幅のデータを8（17ビット目から10ビット目）－8（9ビット目から2ビット目）－2（1ビット目および0ビット目）の分割パターンのように三つに分割して、それぞれの分割ビットデータグループ毎に8ビット幅のデータおよび2ビット幅のデータを対応させる。

【0057】

これに応じて、18ビット幅のデータをサンプリングする際にCPU10からの8ビット幅のデータのデータ書き込みアクセスの全回数は、3回となりレジスタ $\alpha$ であるMCBおよびMCAレジスタの設定値が、表2よりM\*B=1および

$M * A = 0$  ( $* = C$ ) となる。これにより、 $MCB = 1$  および  $MCA = 0$  の設定値がそれぞれ表 3 の MWB 0 の bit 1 および bit 0 にそれぞれ設定される。

#### 【0058】

一回目のデータ書き込みストロークによってサンプリングされるデータ列（分割ビットデータグループ）を、17ビット目から10ビット目のデータと設定した場合、レジスタ  $\beta$  が備える M17B および M17A レジスタ～M10B および M10A レジスタの設定値が表 2 より  $M * B = M * A = 0$  ( $* = 10 \sim 17$ ) となる。これにより、M17B および M17A レジスタ～M10B および M10A レジスタの設定値が、表 3 の MWB 5 の bit 3 および bit 2 から MWB 3 の bit 5 および bit 4 まで順番に設定される。

#### 【0059】

次に、二回目のデータ書き込みストロークによってサンプリングされるデータ列（分割ビットデータグループ）を、9ビット目から2ビット目のデータと設定すると、レジスタ  $\beta$  が備える M9B および M9A レジスタ～M2B および M2A レジスタの設定値が表 2 より  $M * B = 0$  および  $M * A = 1$  ( $* = 2 \sim 9$ ) となる。これにより、M9B および M9A レジスタ～M2B および M2A レジスタの設定値が、表 3 の MWB 3 の bit 3 および bit 2 から MWB 1 の bit 5 および bit 4 まで順番に設定される。

#### 【0060】

次に、三回目のデータ書き込みストロークによってサンプリングされるデータ列（分割ビットデータグループ）を、1ビット目および0ビット目のデータと設定した場合、レジスタ  $\beta$  が備える M1B および M1A レジスタ、M0B および M0A レジスタの設定値が表 2 より  $M * B = 1$  および  $M * A = 0$  ( $* = 0, 1$ ) となる。これにより、M1B および M1A レジスタ、M0B および M0A レジスタの設定値が、表 3 の MWB 1 の bit 3 および bit 2 から MWB 1 の bit 1 および bit 0 まで順番に設定される。

#### 【0061】

表 3 に示すように、本実施形態では、MCB および MCA レジスタの設定値が  $MCB = 1$  および  $MCA = 0$  であるから、表 2 より 3 回のデータ書き込みストロ

ープによって、18ビット幅のデータバス信号の1回のデータ書き込みサイクルが完了する。

【0062】

【表3】

NAME	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MWB0	X	X	X	X	X	X	1	0
MWB1	0	1	0	1	1	0	1	0
MWB2	0	1	0	1	0	1	0	1
MWB3	0	0	0	0	0	1	0	1
MWB4	0	0	0	0	0	0	0	0
MWB5	X	X	X	X	0	0	0	0

【0063】

次に、レジスタ $\alpha$ およびレジスタ $\beta$ の設定値（レジスタ値）を、表3に示すように設定した場合の本発明のデータバス幅変換装置の動作を図1A、図2および図3を用いて説明する。

【0064】

前述のように、本実施の形態では、図1Aに示す8ビットのデータバス幅を有するCPU10と、18ビットのデータバス幅を有するLSI11とは、8-8-2の分割パターンに従って接続されている。

【0065】

CPU10から8ビットデータが出力されると、その8ビットデータは、18ビット幅のデータバス20（図2）に入力される。ここで、CPU10からは、例えば8-8-2のような分割パターンに従って、3つの分割ビットデータグループそれぞれを示す信号DT1-0、DT1-1およびDT1-2（8ビットデータ）として出力される。信号DT1-2においては、8ビットデータの内の2ビットデータが有効データであり、その他の6ビットデータはDon't Careであり、他に何の影響を与えないものである。18ビット幅のデータバス20を介して信号DT1-0、DT1-1およびDT1-2は、データ書き込み信

号NWRと同期して制御回路21に入力される。

#### 【0066】

データ書き込み信号NWRは、図3に示す制御回路21内のカウンタ31に入力される。カウンタ31は、データ書き込み信号NWRに同期してデータ書き込みストローブの回数をカウントする。また、レジスタ $\beta$ は、18ビット幅のデータの各ビットに対応するデータバス信号が、CPU10から何回目のデータ書き込みアクセスによってサンプリングされるかを設定する。

#### 【0067】

レジスタ $\alpha$ は、データ書き込みストローブの合計回数（総伝送回数）を表すレジスタ値を、カウンタ31に出力する。カウンタ31は、データ書き込み信号NWRに基づいてデータ書き込みストローブの回数をカウントしたカウンタ値をコンペア部32に出力する。

#### 【0068】

コンペア部32が備える18個のコンペアは、レジスタ $\beta$ からの設定されたデータ書き込みストローブの回数を表すレジスタ値と、カウンタ31からのカウントされたデータ書き込みストローブの回数を表すカウンタ値とを比較する。これらのレジスタ値とカウンタ値とが一致したコンペアからサンプリング制御信号が、一致したコンペアに対応するサンプリング回路に出力される。

#### 【0069】

サンプリング部33には、18ビット幅のデータバス信号DB[17:0]が入力され、各データバス信号DB[17:0]は、それぞれのビットデータに対応して設けられた18個のサンプリング回路に入力される。

#### 【0070】

サンプリング制御信号を受け取ったサンプリング回路は、そのサンプリング制御信号に基づいて、データバス信号DB[17:0]うちの対応する所定ビット目のデータバス信号をサンプリングし、フリップフロップ22に出力する。例えば、サンプリング部33の17ビット目のサンプリング回路33Aでは、レジスタ $\beta$ の設定値が表2および3よりM17B=M17A=0であるから、データ書き込みの1サイクルにおいて、1回目のデータ書き込みストローブによって端子



DB17を介して出力されたデータバス信号がサンプリングされ、17ビット目のサンプリング回路33Aからデータバス信号がフリップフロップ22に出力される。

#### 【0071】

フリップフロップ22は、各データバス信号DB[17:0]が示す各ビットデータを記録していき、データ書き込み信号NWRに同期して、分割ビットデータグループに対するデータバス信号をサンプリングし、そのデータバス信号LDB[17:0]を出力制御回路23に出力する。

#### 【0072】

ここで、フリップフロップ22の機能は、サンプリング部33に盛り込んでおいても同様な動作をする。つまり、コンペア部32からのサンプリング制御信号を受け取ったサンプリング部33のサンプリング回路が、そのサンプリング制御信号に基づいて所定ビット目のデータバス信号DB[17:0]をサンプリングする時に、フリップフロップ（またはラッチ回路）を利用してデータ書き込み信号NWRに同期してサンプリングを行い、サンプリングしたデータバス信号を直接出力制御回路23に出力することも可能である。

#### 【0073】

また、カウンタ31では、データ書き込み信号NWRが入力されると、データ書き込みストロークの回数をカウントしていき、このカウントされたカウンタ値が、MCBおよびMCAレジスタによって示されるレジスタ値（本実施形態ではデータ書き込みアクセスの回数が3回であるから“10”）に達した後に、カウンタ値は初期値（例えば、“00”）に戻る。さらに、カウンタ31は、リサイズされた18ビット幅のデータをLSI内部回路24に出力するためのデータ書き込み信号Wを出力制御回路23に出力する。

#### 【0074】

3回のデータ書き込みアクセスによって分割ビットデータグループ毎にサンプリングされたデータは、このデータ書き込み信号Wに基づいて、連続した18ビット幅のデータIDB[17:0]として、LSI11のLSI内部回路24が備えるレジスタおよびメモリ等のブロックに書き込まれる。

## 【0075】

このように、本発明のデータバス幅変換装置120には、制御回路21でNビット幅のデータをサンプリングする際のCPU10からのデータ書き込みアクセスの全回数を設定するレジスタ $\alpha$ と、Nビット幅のデータの所定ビットに対応するデータバス信号を何回目のデータ書き込みアクセスでサンプリングするかを設定するレジスタ $\beta$ とが設けられている。このことにより、Mビット幅のデータバスを有するCPU10がNビット幅のデータバス（M=Nを含む）を有する周辺デバイスであるLSI11にアクセスする場合、CPU10からのデータ書き込みアクセスの回数（総伝送回数）および分割パターンが、ハードウェア的に固定されることなく、多様なバスシステムにおいてデータバス幅のリサイズが任意に設定できる。

## 【0076】

図4は、本発明のデータバス幅変換装置の動作における各信号のタイミングチャートである。

## 【0077】

まず、CPU10から8ビットのデータバス信号D[7:0]が、データ書き込み信号NWRに同期して出力され、結線部12を介してLSI11の18ビット幅のデータバス20に入力される。データバス信号D[7:0]は、例えば、LSI11の18ビットのデータバス幅の17ビット目から10ビット目に対応するデータ信号DT1-0、LSI11のデータバス幅の9ビット目から2ビット目に対応するデータ信号DT1-1、LSI11のデータバス幅の1ビット目および0ビット目に対応するデータ信号DT1-2として出力される。尚、LSI11のデータバス幅の1ビット目および0ビット目に対応するデータ信号DT1-2の伝送では、8ビットのバス幅のうち2ビット分しか使用していない。

## 【0078】

次に、データ信号DT1-0、DT1-1およびDT1-2は、18ビット幅のデータバス20から制御回路21のサンプリング部33に入力される。

## 【0079】

制御回路21では、レジスタブロック30のレジスタ $\alpha$ およびレジスタ $\beta$ によ

って、データ信号DT11-0、DT1-1およびDT1-2のサンプリング条件が設定される。すなわち、MC [B:A] = 10は、3回のデータ書き込みストロープによって、18ビット幅のデータバス信号が1回サンプリングされることを示す。M17 [B:A] = 00 ~ M10 [B:A] = 00は、データ信号DT1-0が1回目のデータ書き込みストロープによって、17ビット目~10ビット目にサンプリングされることを示す。M9 [B:A] = 01 ~ M2 [B:A] = 01は、データ信号DT1-1が2回目のデータ書き込みストロープによって、9ビット目~2ビット目にサンプリングされることを示す。M1 [B:A] = 10およびM0 [B:A] = 10は、データ信号DT1-2が3回目のデータ書き込みストロープによって、1ビット目~0ビット目にサンプリングされることを示す。

#### 【0080】

次に、データ信号DT1-0、DT1-1およびDT1-2に対するデータ書き込みストロープの回数は、カウンタ31によってカウンタ値00、01および10としてカウントされる。このカウンタ値が上記のレジスタβの設定値と一致すると、データ信号DT1-0、DT1-1およびDT1-2は、それぞれに対応して設けられたサンプリング回路でサンプリングされる。

#### 【0081】

例えば、データ信号DT1-0は、データDT1-0 [7] ~ データDT1-0 [0] としてサンプリングされる。データDT1-0 [7] ~ データDT1-0 [0] は、サンプリング部33の対応する出力端子からフリップフロップ22に出力される。同様に、データ信号DT1-1は、データDT1-1 [7] ~ データDT1-1 [0] としてサンプリングされ、サンプリング部33の対応する出力端子からフリップフロップ22に出力され、データ信号DT1-2は、データDT1-2 [7] ~ データDT1-2 [6] としてサンプリングされ、それぞれサンプリング部33の対応する出力端子からフリップフロップ22に出力される。ここで、例えば、上記 [7] ~ [0] は、CPU10のD7端子~D0端子から出力される8ビットデータの7ビット目~0ビット目に対応する。

#### 【0082】

次に、フリップフロップ 22 は、データ書き込み信号 NWR に同期して、データ DT1-0 [7] ~ データ DT1-0 [0]、データ DT1-1 [7] ~ データ DT1-1 [0] およびデータ DT1-2 [7] ~ データ DT1-2 [6] をラッチデータ LDB [17:0] として出力制御回路 23 に出力する。

#### 【0083】

そして、出力制御回路 23 は、カウンタ 31 からのデータ書き込み信号 W に同期して、それぞれ分割ビットデータグループであるデータ DT1-0 [7] ~ データ DT1-0 [0]、データ DT1-1 [7] ~ データ DT1-1 [0] およびデータ DT1-2 [7] ~ データ DT1-2 [6] を連続した 18 ビット幅のデータバス信号 IDB [17:0] であるデータ DT1 にリサイズし、LSI 内部回路 24 に出力する。

#### 【0084】

ここで、本実施形態では、レジスタ  $\alpha$  と、レジスタ  $\beta$  が備える複数のレジスタそれぞれとを、それぞれ 2 ビットで構成しているが、レジスタ  $\alpha$  およびレジスタ  $\beta$  のビット幅を変えることによって、N ビット幅のデータバス信号をサンプリングする際の CPU の総伝送回数（例えば、C 回）と、N ビット幅のデータバス信号の各ビットに対応するデータバス信号を何回目のデータ書き込みアクセスでサンプリングするかを自由に決定する事が可能となる。

#### 【0085】

なお、総伝送回数および分割パターンは、CPU 10 からの命令に従ってレジスタ  $\alpha$  およびレジスタ  $\beta$  に設定されてもよい。また、総伝送回数および分割パターンは、レジスタブロック 30 が CPU 10 が有するデータバス幅のサイズ（および結線状態）を認識して、そのサイズに応じてレジスタ  $\alpha$  およびレジスタ  $\beta$  に設定されてもよい。この場合、レジスタブロック 30 が設定した総伝送回数および分割パターンに従って、CPU 10 はデータを分割して出力する。

#### 【0086】

これにより、M ビットのデータバス幅を持つ CPU と N ビットのデータバス幅を持つ周辺デバイスとを接続する場合でも、両者間の結線状態をハードウェア的に制限される事なく自由に決定する事が可能となる。

## 【0087】

さらに、本実施形態では、CPUからのデータ書き込みアクセス時のデータバス幅変換の一例を示したが、上記データ書き込みアクセス時のデータバス幅変換の逆のシーケンスを利用して、周辺デバイスからCPUへのデータ読み出しアクセス時にNビット幅のデータをMビット幅のデータに分割して出力するデータバス幅変換も可能である。

## 【0088】

(実施の形態2)

以下、図面を参照しながらLSI側（周辺デバイス）からCPU側（ホストシステム）へのデータ読み出しアクセス時の本発明の実施の形態を説明する。

## 【0089】

図5Aは、本発明の実施形態2におけるデータ処理システム200を示す。

## 【0090】

データ処理システム200は、CPU50と、LSI51とを備える。LSI51は、データバス幅変換装置220（図6）を備える。

## 【0091】

結線部52では、CPU50とLSI51とが、図1Aに示すCPU10とLSI11と同様に接続されている。そして、CPU50のデータ読み出し信号NRD用端子は、LSI51のデータ読み出し信号NRD用端子と接続されている。

## 【0092】

また、図5Aに示す8ビットのデータバス幅を有するCPU50のインターフェース部と18ビットのデータバス幅を有するLSI51のインターフェース部とは、図1Aと同様の8-8-2の分割パターンによって接続されている。

## 【0093】

図5Bに、本発明の実施の形態のデータ処理装置の一例としてディスプレイ装置210を示す。ディスプレイ装置210は例えば液晶ディスプレイ装置である。ディスプレイ装置210は、図5Aに示すLSI51と、表示パネル211とを備える。この場合、LSI51は表示パネル211の表示動作を制御する。こ

のように、データバス幅変換装置 220 を備える L S I 51 は、様々なデータ処理装置に搭載され得る。

#### 【0094】

図 6 は、図 5 A に示す L S I 51 が備える本発明の実施の形態のデータバス幅変換装置 220 を示す。データバス幅変換装置 220 は、データ読み出しアクセス時に、L S I 51 の 18 ビットのデータバス幅を C P U 50 の 8 ビットのデータバス幅にリサイズする。

#### 【0095】

ここで、図 6 に示すデータバス幅変換装置 220 は、図 2 に示すデータバス幅変換装置 120 と同様の構成であるが、フリップフロップ (F F) 62 と、出力制御回路 63 とを経由しない場合でも本発明のデータバス変換動作を実現することが可能である。ここで、フリップフロップ 62 はラッチ回路であってもよい。

#### 【0096】

図 7 は、図 6 に示すデータバス幅変換装置に含まれる制御回路 61 の詳細を示すブロック図である。

#### 【0097】

図 7 に示す制御回路 61 は、レジスタブロック 70 を備える。レジスタブロック 70 は、18 ビット幅のデータを L S I 側 (周辺デバイス) から C P U 側 (ホストシステム) へ読み出す際の、データ読み出しアクセスの全回数 (L S I 11 から C P U 10 へ複数の分割ビットデータグループを伝送するときの総伝送回数) を任意に設定するレジスタ  $\gamma$  と、18 ビット幅のデータの各ビットデータが総伝送回数のうち何回目のデータ伝送動作で伝送されるかを設定する (すなわち、18 ビット幅のデータの各ビットデータを複数の分割ビットデータグループへ分配するための 18 ビット幅のデータの分割パターンを設定する) レジスタ  $\delta$  とを備える。

#### 【0098】

制御回路 61 は、分割部 75 を備える。この分割部 75 は図 3 に示す取得部 35 に対応する。分割部 75 は、カウンタ 71 と、コンペア部 72 と、サンプリング部 73 とを備える。

**【0099】**

カウンタ71は、CPU50からのデータ読み出し信号NRDに同期して、データバス信号を読み出す際の伝送回数（データ読み出しストロブの回数）のカウンタ値を出力する。

**【0100】**

コンペア部72には、レジスタ $\delta$ からのレジスタ値とカウンタ71からのカウンタ値とを比較する複数のコンペアが、18ビット幅のデータの各ビット毎に設けられている。レジスタ $\delta$ からのレジスタ値は、上述の分割パターンを示し、複数のコンペアそれぞれに総伝送回数のうちの何れかの回数を示すレジスタ値が入力される。レジスタ値は対応するビットデータグループ毎に値が異なる。本実施の形態では、コンペア部72は18個のコンペアを備える（図7は、説明の簡略化のために18個のコンペアのうちの3個のコンペア72A、72B、72Cを示す）。

**【0101】**

サンプリング部73には、サンプリング制御信号により18ビット幅のデータのデータバス信号DB[17:0]を、それぞれ分割ビットデータグループ毎に読み出しを行うための、複数のサンプリング回路が、18ビット幅のデータバス信号の各ビット毎に設けられている。本実施の形態では、サンプリング部73は、18個のサンプリング回路を備える（図7は、説明の簡略化のために18個のサンプリング回路のうちの3個のサンプリング回路73A、73B、73Cを示す）。18個のサンプリング回路のそれぞれには、18個のコンペアのうちの対応するコンペアからサンプリング信号が出力される。18個のサンプリング回路のそれぞれはサンプリング信号に応じて、18ビット幅のデータのうちの対応付けられたビットデータをサンプリングする。

**【0102】**

ここで、レジスタブロック70に設けられているレジスタ $\gamma$ の構成は表1のレジスタ $\alpha$ と同様のものであり、レジスタ $\delta$ の構成は表1のレジスタ $\beta$ と同様のものである。

**【0103】**

また、18本の各データバス信号に対応して設けられているM\*BおよびM\*Aレジスタの設定値とサンプリングタイミングの関係については表2と同様のものであり、M\*BおよびM\*Aレジスタの設定値がM\*B=M\*A=0であれば、1回目のデータ読み出しストローク、M\*B=0およびM\*A=1であれば、2回目のデータ読み出しストローク、M\*B=1およびM\*A=0であれば、3回目のデータ読み出しストローク、M\*B=1およびM\*A=1であれば、4回目のデータ読み出しストロークによってCPU50への読み出しが行われることを示している。

#### 【0104】

また、所定のNビット幅（本実施形態では18ビット幅）のデータバス信号を1回読み出す際のデータ読み出しアクセスの全回数（総伝送回数）を示すMCBおよびMCAレジスタの設定値とサンプリングタイミングの関係についても表2と同様のものであり、MCBおよびMCAレジスタは、LSIからCPUへの読み出しを行う場合、何回のデータ読み出しストロークによって1回の読み出しを実施するかを指定する。

#### 【0105】

次に、レジスタ $\gamma$ およびレジスタ $\delta$ の設定値（レジスタ値）を、表3に示すように設定した場合の本発明のデータバス幅変換装置のデータ読み出しアクセス動作を図5A、図6および図7を用いて説明する。

#### 【0106】

前述のように、図5Aに示す8ビットのデータバス幅を有するCPU50と18ビットのデータバス幅を有するLSI51とは、8-8-2の分割パターンによって接続されている。

#### 【0107】

CPU50からデータ読み出し信号NRDが出力されると、そのデータ読み出し信号NRDはLSI内部回路64に入力される。それに同期して、LSI内部回路64から読み出された18ビット幅のデータODB[17:0]が制御回路61に入力される。

#### 【0108】



データ読み出し信号NRDは、制御回路61内のカウンタ71に入力され、カウンタ71は、データ読み出し信号NRDに同期してデータバス信号を読み出す際のデータ読み出しストロークの回数をカウントする。また、レジスタδは、18ビット幅のデータの各ビットに相当するデータバス信号が、何回目のデータ読み出しストロークによってサンプリングされるかを設定する。

#### 【0109】

レジスタγは、データ読み出しストロークの合計回数（総伝送回数）を表すレジスタ値を、カウンタ71に出力する。カウンタ71は、データ読み出し信号NWRに基づいてデータ読み出しストロークの回数をカウントしたカウンタ値をコンペア部72に出力する。

#### 【0110】

コンペア部32が備える18個のコンペアは、レジスタδからの設定されたデータ読み出しストロークの回数を表すレジスタ値と、カウンタ71からのカウントされたデータ読み出しストロークの回数を表すカウンタ値とを比較する。これらのレジスタ値とカウンタ値とが一致したコンペアからサンプリング制御信号が、一致したコンペアに対応するサンプリング回路に出力される。

#### 【0111】

サンプリング部73には、LSI内部回路64より18ビット幅のデータバス信号ODB[17:0]が入力され、各データバス信号ODB[17:0]は、それぞれのビットデータに対応して設けられた18個のサンプリング回路に入力される。

#### 【0112】

サンプリング制御信号を受け取ったサンプリング回路は、そのサンプリング制御信号に基づいて、データバス信号DB[17:0]うちの対応する所定ビット目のデータバス信号をサンプリングし、データバス60に出力する。

#### 【0113】

例えば、サンプリング部73の17ビット目のサンプリング回路73Aでは、レジスタδの設定値が表2および3よりM17B=M17A=0であるから、データ読み出しの1サイクルにおいて、1回目のデータ読み出しストロークによっ

て、17ビット目に対応したサンプリング回路73Aにてデータバス信号ODB17のサンプリング（読み出し）が行われ、DB17端子（図5A）に出力される。

#### 【0114】

また、カウンタ71では、データ読み出し信号NRDが入力されると、データ読み出しストロークの回数をカウントし、このカウントされたカウンタ値がMCBおよびMCAレジスタのレジスタ値（本実施形態ではデータ書き込みアクセスの回数が3回であるから“10”）に達した後に、カウンタ値は初期値（例えば、“00”）に戻る。

#### 【0115】

このように、本発明のデータバス幅変換装置は、制御回路61にNビット幅のデータをサンプリングする際のCPU50からのデータ読み出しアクセスの全回数を設定するレジスタγと、Nビット幅のデータの所定ビットに対応するデータバス信号を何回目のデータ読み出しアクセスでサンプリングするかを設定するレジスタδとが設けられている。このことにより、Mビット幅のデータバスを有するCPU50がNビット幅のデータバス（M=Nを含む）を有する周辺デバイスであるLSI51にアクセスする場合、LSI51からCPU50へのデータ読み出しアクセスの回数およびデータバス信号の分割パターンが、ハードウェア的に固定されることなく、多様なバスシステムにおいてデータバス幅のリサイズが任意に設定できる。

#### 【0116】

図8は、本発明のデータバス幅変換装置のデータ読み出し動作における各信号のタイミングチャートである。

#### 【0117】

まず、CPU50からデータ読み出し込み信号NRDが出力され、結線部52を介してLSI51のLSI内部回路64に入力される。

#### 【0118】

データ読み出し込み信号NRDが入力されると、それに同期してLSI内部回路64から読み出された18ビット幅のデータDT1が制御回路61のサンプリ

ング部 33 に信号 ODB [17:0] として入力される。

#### 【0119】

制御回路 61 では、レジスタブロック 70 のレジスタ  $\gamma$  およびレジスタ  $\delta$  によって、データ DT1 の読み出し条件が設定される。すなわち、MC [B:A] = 10 は、3 回のデータ読み出しストロークによって、18 ビット幅のデータバス信号が 1 回読み出されることを示す。M17 [B:A] = 00 ~ M10 [B:A] = 00 は、1 回目のデータ読み出しストロークによって、17 ビット目 ~ 10 ビット目を読み出すことを示す。M9 [B:A] = 01 ~ M2 [B:A] = 01 は、2 回目のデータ読み出しストロークによって、9 ビット目 ~ 2 ビット目を読み出すことを示す。M1 [B:A] = 10 および M0 [B:A] = 10 は、3 回目のデータ読み出しストロークによって、1 ビット目 ~ 0 ビット目を読み出すことを示す。

#### 【0120】

次に、データ DT1 に対するデータ読み出しストロークの回数は、カウンタ 71 によってカウンタ値 00、01 および 10 としてカウントされる。このカウンタ値が上記のレジスタ  $\delta$  の設定値と一致すると、データ DT1 は、それぞれサンプリング部 73 の 18 ビット幅のデータの所定ビットに対応して設けられたサンプリング回路から読み出しが行われる。

#### 【0121】

ここで、各読み出しストロークにおいて、読み出しが行われるビット以外のサンプリング回路からの出力は Hi-Z としておくことにより、CPU 50 へ読み出される 8 ビットのデータバスは、D [7:0] のように 3 回の読み出しストロークで 18 ビットデータバスの読み出しが完了する。なお、3 回目の読み出しストロークについては、下位 2 ビットのみ有効データであり、その他の上位 6 ビットは Don't Care であり、他に何の影響を与えないものである。

#### 【0122】

ここで、本実施形態では、レジスタ  $\gamma$  と、レジスタ  $\delta$  が備える複数のレジスタそれぞれとを、それぞれ 2 ビットで構成しているが、レジスタ  $\gamma$  およびレジスタ  $\delta$  のビット幅を変えることによって、N ビット幅のデータバス信号を読み出す際

のCPUへの総伝送回数（例えば、C回）と、Nビット幅のデータバス信号の各ビットに対応するデータバス信号が何回目のデータ読み出しアクセスで読み出し動作を行うかを自由に決定する事が可能となる。

#### 【0123】

なお、総伝送回数および分割パターンは、CPU50からの命令に従ってレジスタ $\gamma$ およびレジスタ $\delta$ に設定されてもよい。また、総伝送回数および分割パターンは、レジスタブロック70がCPU50が有するデータバス幅のサイズ（および結線状態）を認識して、そのサイズに応じてレジスタ $\gamma$ およびレジスタ $\delta$ に設定されてもよい。この場合、レジスタブロック70が設定した総伝送回数および分割パターンに従って、分割部75はデータを分割して出力する。

#### 【0124】

これにより、Mビットのデータバス幅を持つCPUとNビットのデータバス幅を持つ周辺デバイスとを接続する場合でも、両者間の結線状態をハードウェア的に制限される事なく自由に決定する事が可能となる。

#### 【0125】

さらに、本発明では、Mビット幅のデータバスを有するCPU（ホストシステム）がNビット幅のデータバス（ $M=N$ を含む）を有するLSI（周辺デバイス）にアクセスする場合において、データバス幅をリサイズする際に、CPUからのデータ書き込み（またはLSIからCPUへのデータ読み出し）アクセスの回数および分割パターンが、ハードウェア的に固定されることなく、多様なバスシステムにおいて任意に設定することが可能となる。

#### 【0126】

さらに、本発明では、Mビット幅のデータバスを有するCPU（ホストシステム）がNビット幅のデータバス（ $M=N$ を含む）を有するLSI（周辺デバイス）にアクセスする場合において、データバス幅をリサイズする際に、Nビット幅のデータバス信号の分割パターンおよび分割回数が固定されていないため、ハードウェア的にLSI側のビット幅の切り替えること等を不要にすることができ、使用するLSIの選択が制限されなくなるとともに、CPU側におけるソフトによる処理等も不要になるため、CPUに対する負荷を低減することも可能となる。

。

#### 【0127】

尚、本発明では、CPUとLSIとの間でデータを伝達するための18ビットのデータ分割パターンは、8—8—2の分割パターンであるが、本発明は、これに限定されるものではない。例えば、データ分割パターンとして、6—6—6の分割パターン、5—6—7の分割パターン等の分割パターンであっても良い。

#### 【0128】

尚、本発明のデータバス幅変換装置を用いたデータ伝送は、CPUとLSIとの間の双方向のデータ伝送アクセス時にも行われる。

#### 【0129】

##### 【発明の効果】

本発明のデータバス幅変換装置は、CPU（ホストシステム）がN（Nは正数）ビットデータを分割して複数のビットデータグループとして伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部を備える。また、本発明のデータバス幅変換装置は、Nビットデータを分割して複数のビットデータグループとしてCPUへ伝送するときの総伝送回数を設定するとともに、Nビットデータを複数のビットデータグループそれぞれへ分配するためのNビットデータの分割パターンを設定する設定部を備える。このことによりCPU側（ホストシステム）からLSI側（周辺デバイス）にデータ書き込みアクセスを行う場合およびLSI側（周辺デバイス）からCPU側（ホストシステム）にデータ読み出しのアクセスを行う場合に、ハードウェア的に固定されることなくデータの分割回数および分割パターンを任意に設定できる。

##### 【図面の簡単な説明】

##### 【図1A】

本発明の実施形態におけるデータバス幅変換装置が設けられた、CPUおよびLSIのインターフェース部の接続状態の一例を示す結線図である。

##### 【図1B】

本発明の実施の形態のデータ処理装置を示す図である。

**【図 2】**

図 1 A に示す L S I のインターフェース部において、データバス幅のリサイズ（変更）を行う本発明のデータバス幅変換装置の構成を表すブロック図である。

**【図 3】**

図 2 に示すデータバス幅変換装置に含まれる制御回路の構成を示すブロック図である。

**【図 4】**

本発明のデータバス幅変換装置の動作における各信号のタイミングチャートである。

**【図 5 A】**

データ読み出しアクセスを行う、本発明の実施形態におけるデータバス幅変換装置が設けられた、C P U および L S I のインターフェース部の接続状態の一例を示す結線図である。

**【図 5 B】**

本発明の実施の形態のデータ処理装置を示す図である。

**【図 6】**

図 1 A に示す L S I のインターフェース部において、データ読み出しアクセス時に、データバス幅のリサイズ（変更）を行う本発明のデータバス幅変換装置の構成を表すブロック図である。

**【図 7】**

データ読み出しアクセス時に、図 5 A に示すデータバス幅変換装置に含まれる制御回路の構成を示すブロック図である。

**【図 8】**

本発明のデータバス幅変換装置の動作における、データ読み出しアクセス時の各信号のタイミングチャートである。

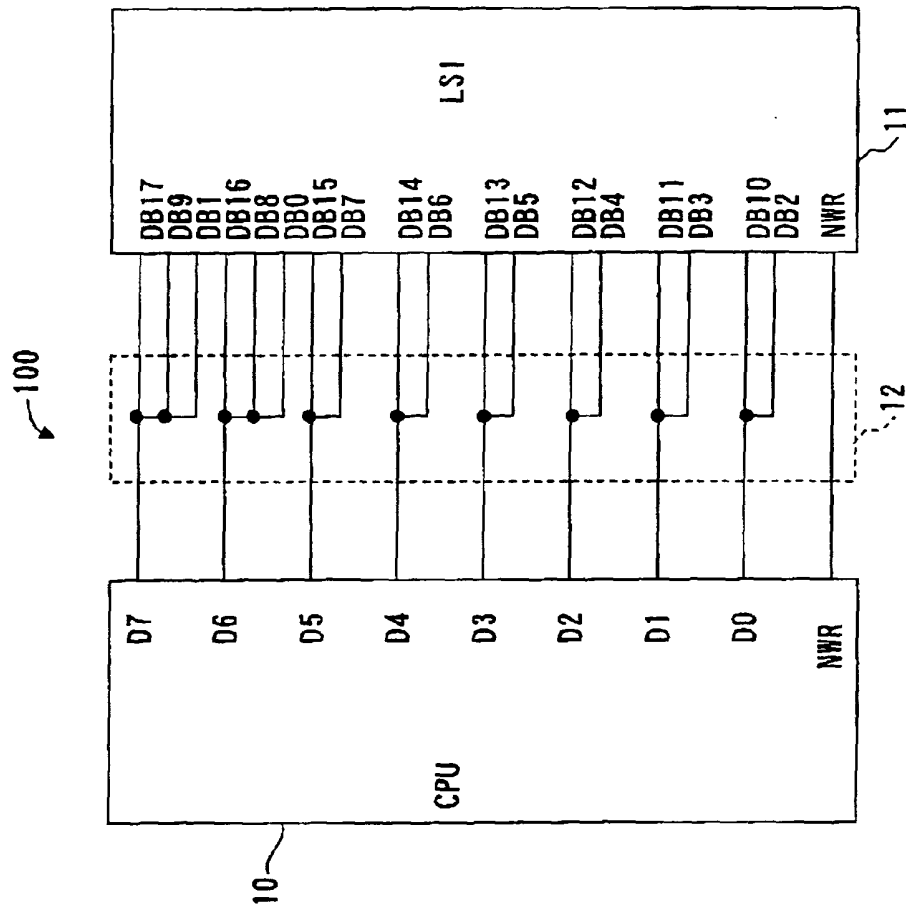
**【符号の説明】**

- 10 CPU
- 11 LSI
- 12 結線部

- 2 0 1 8 ビット幅のデータバス
- 2 1 制御回路
- 2 2 フリップフロップまたはラッチ回路
- 2 3 出力制御回路
- 2 4 L S I 内部回路
- 3 0 レジスタブロック
- 3 1 カウンタ
- 3 2 コンペア部
- 3 3 サンプリング部
- 3 4 サンプリング制御信号発生部

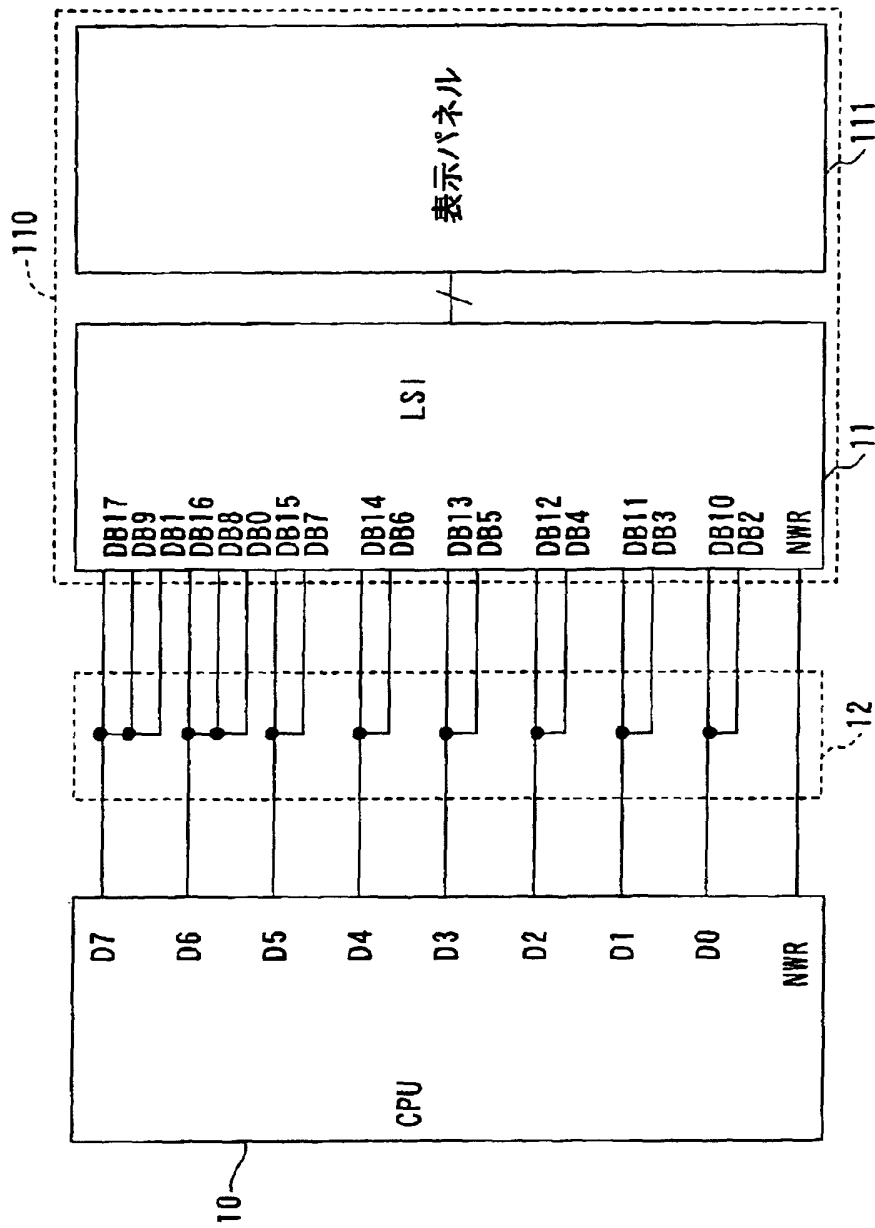
【書類名】 図面

【図 1 A】



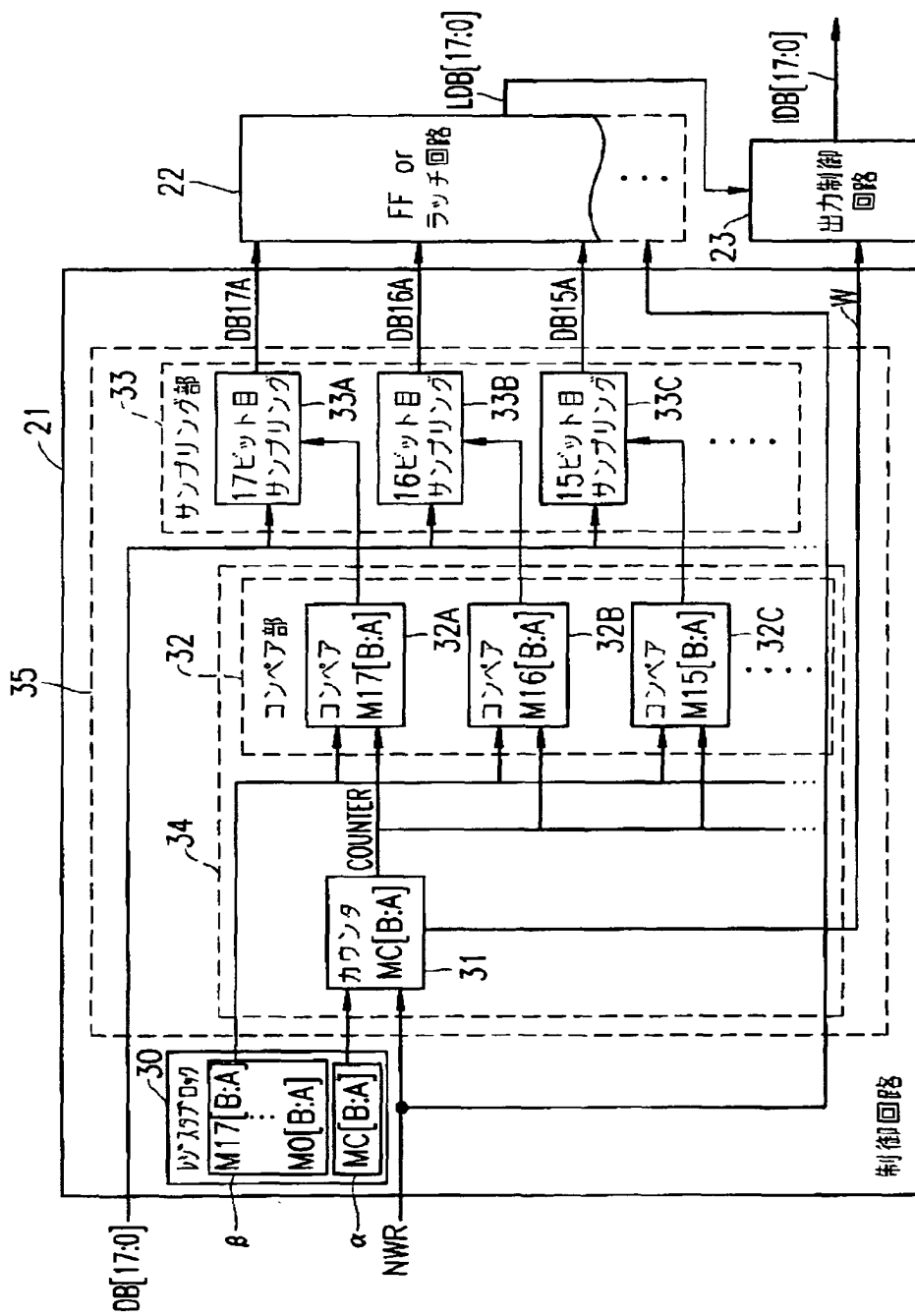


【図 1 B】

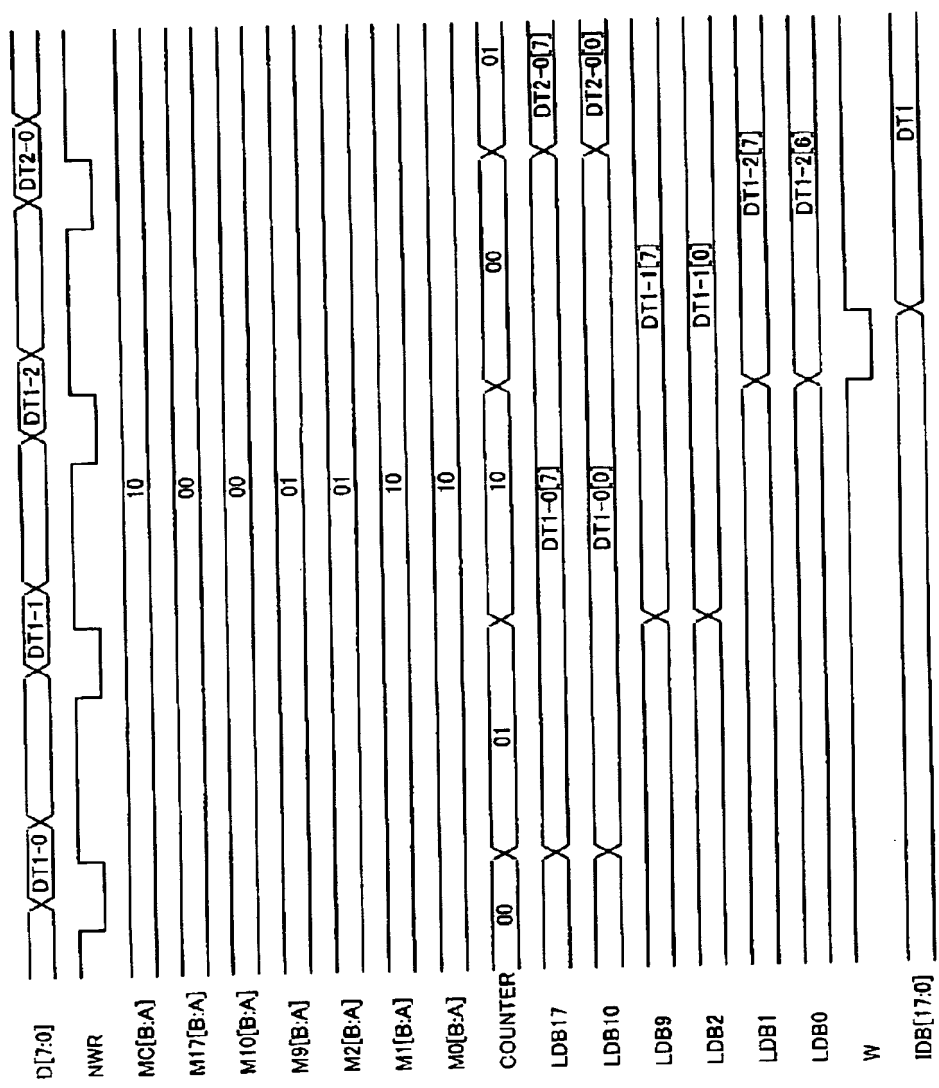




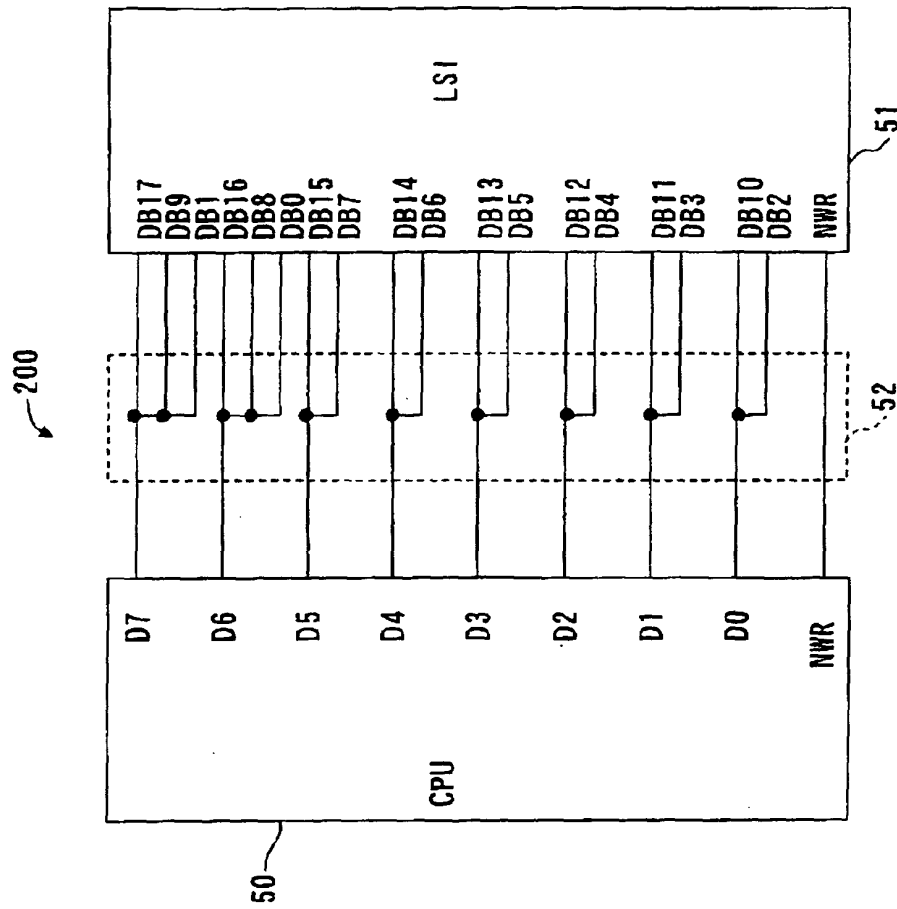
【図 3】



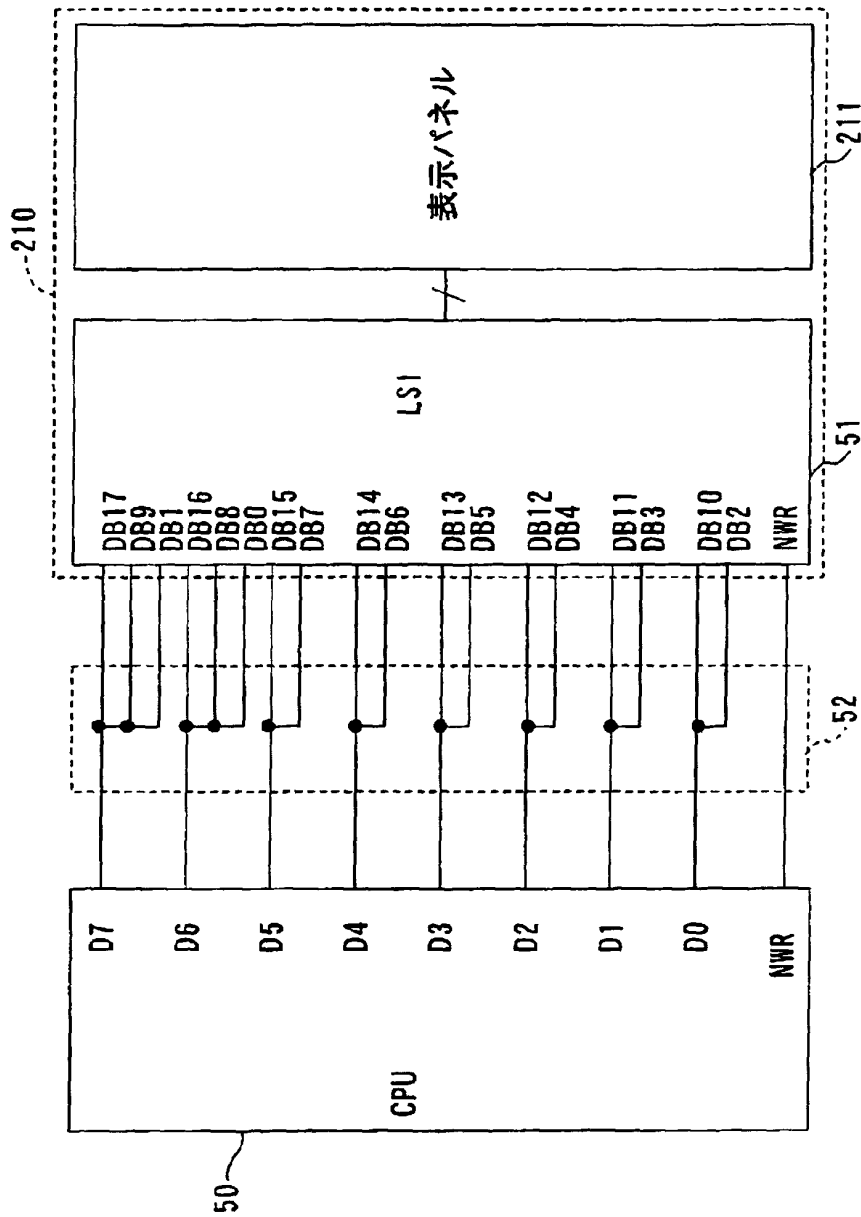
【図4】



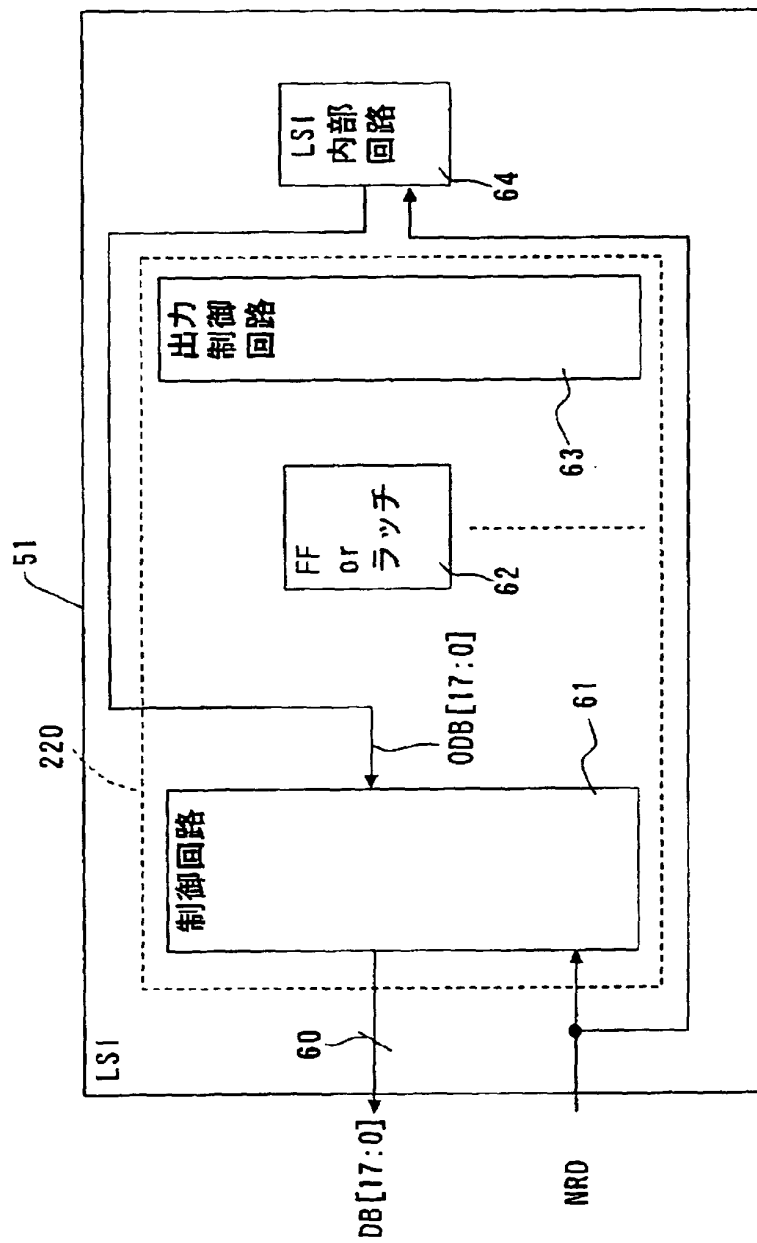
【図 5 A】



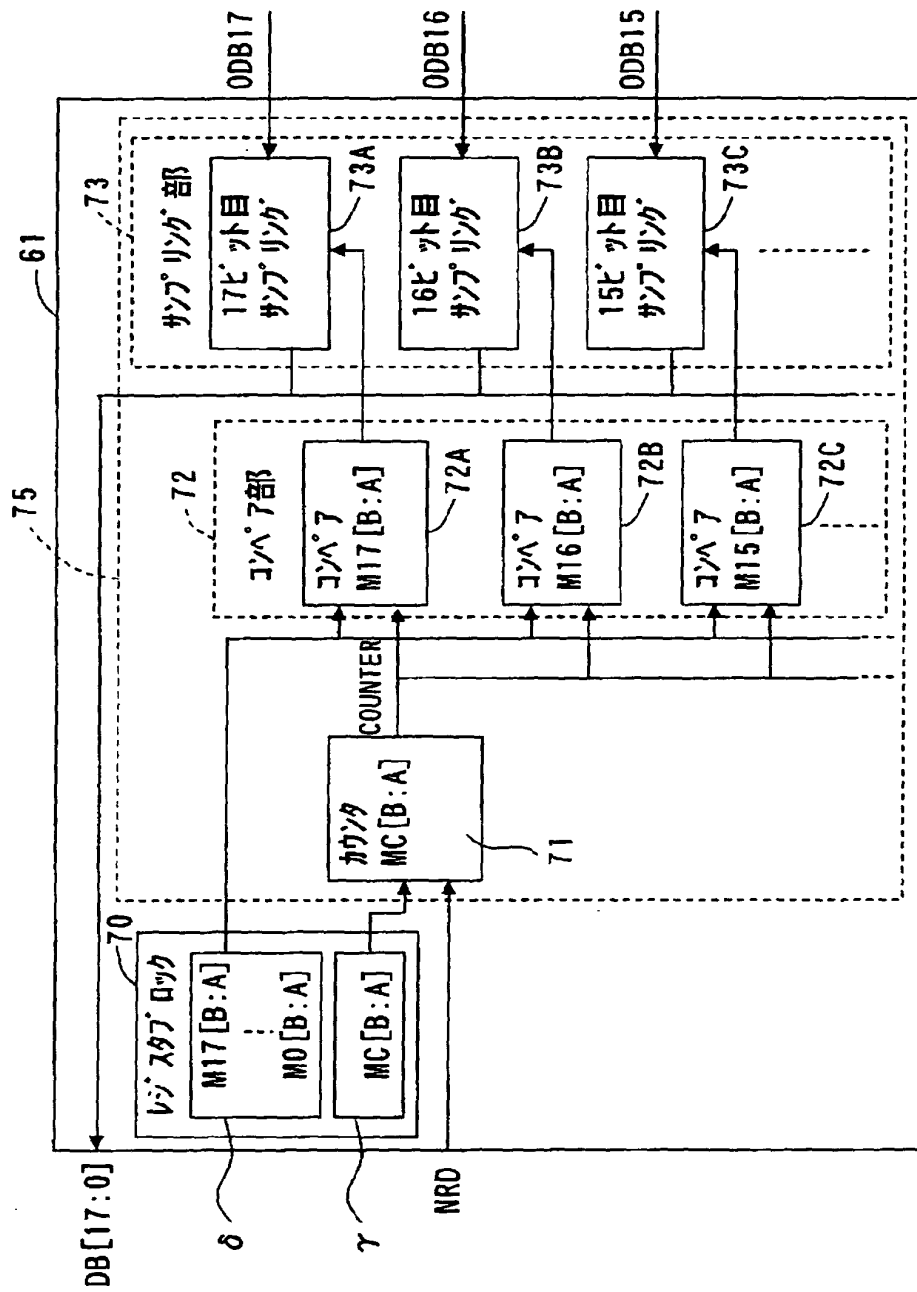
【図 5 B】



【図 6】

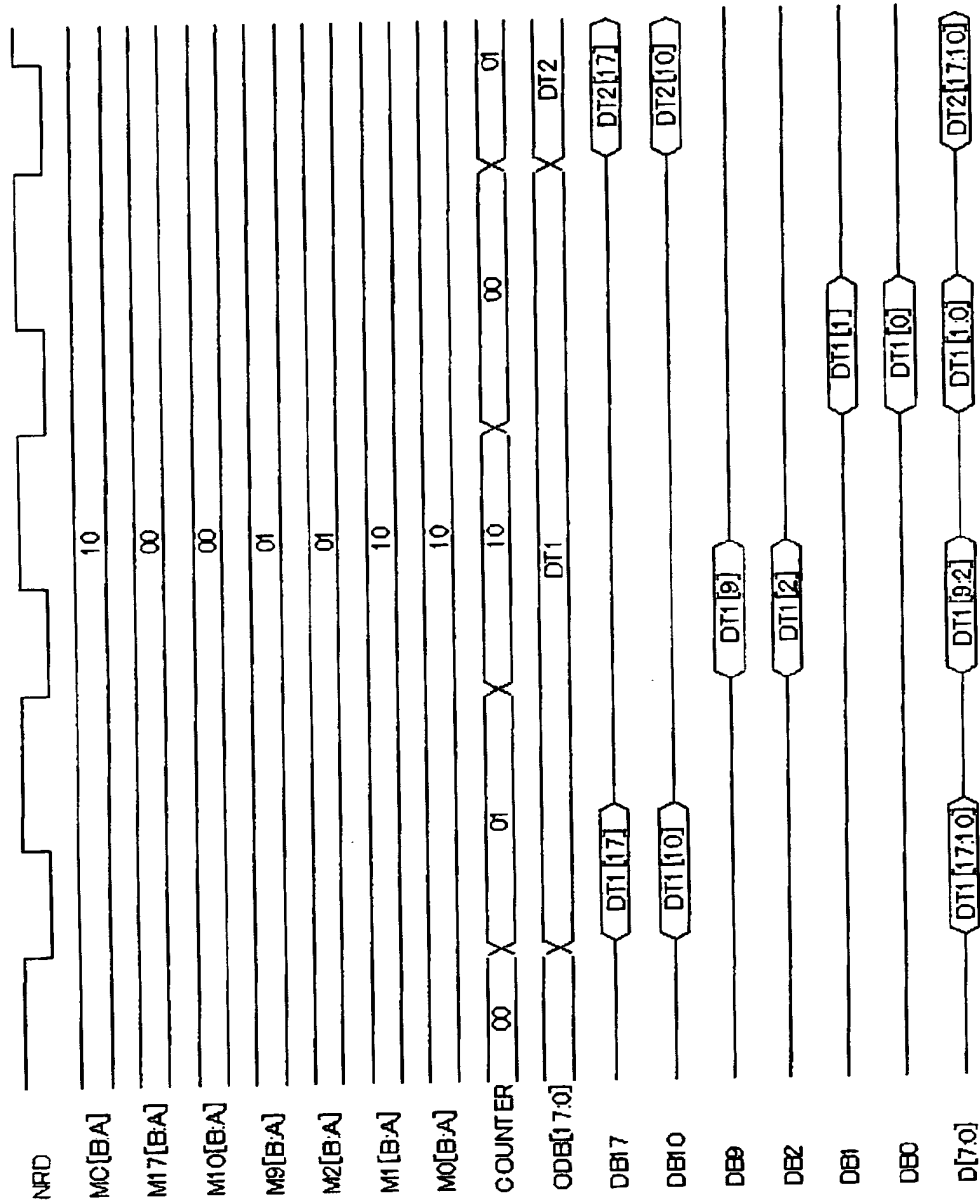


【図 7】





【図 8】



【書類名】 要約書

【要約】

【課題】 データバス幅のリサイズ（変更）が任意に設定できるようにする。

【解決手段】 複数の分割に対応したデータ伝送回数を設定可能とするとともに、何回目のデータ伝送かを示すデータ伝送回数に対応した分割ビットグループを設定可能とするレジスタブロック 3 0 と、レジスタブロック 3 0 からのデータ伝送回数を所定のタイミングで初期値から最大データ伝送回数まで繰り返して出力し、出力されたデータ伝送回数と、レジスタブロック 3 0 からの分割ビットグループ毎のデータ伝送回数とを比較して、両者が一致した場合に、サンプリング制御信号を出力するサンプリング制御信号発生手段 3 4 と、サンプリング制御信号により N ビット幅のデータを分割ビットグループ毎にそれぞれサンプリングするサンプリング部 3 3 と、サンプリング部からの分割ビットグループ毎のデータを連続した N ビット幅データに変換し出力する出力制御回路 2 3 とを有する。

【選択図】 図 2

## 認定・付加情報

特許出願の番号 特願 2 0 0 3 - 1 8 3 6 3 1  
受付番号 5 0 3 0 1 0 7 0 8 4 1  
書類名 特許願  
担当官 土井 恵子 4 2 6 4  
作成日 平成 1 5 年 7 月 1 日

## &lt; 認定情報・付加情報 &gt;

## 【特許出願人】

【識別番号】 000005049  
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
【氏名又は名称】 シャープ株式会社

## 【代理人】

申請人  
【識別番号】 100078282  
【住所又は居所】 大阪府大阪府中央区城見 1 丁目 2 番 2 7 号 クリスタル  
タワー 1 5 階  
【氏名又は名称】 山本 秀策

## 【選任した代理人】

【識別番号】 100062409  
【住所又は居所】 大阪府大阪府中央区城見 1 丁目 2 番 2 7 号 クリ  
スタルタワー 1 5 階 山本秀策特許事務所  
【氏名又は名称】 安村 高明

## 【選任した代理人】

【識別番号】 100107489  
【住所又は居所】 大阪府大阪府中央区城見一丁目 2 番 2 7 号 クリスタル  
タワー 1 5 階 山本秀策特許事務所  
【氏名又は名称】 大塩 竹志

特願 2 0 0 3 - 1 8 3 6 3 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社